

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238330

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

G11B 21/10
// G11B 7/09

(21)Application number : 10-041626 (71)Applicant : HITACHI LTD

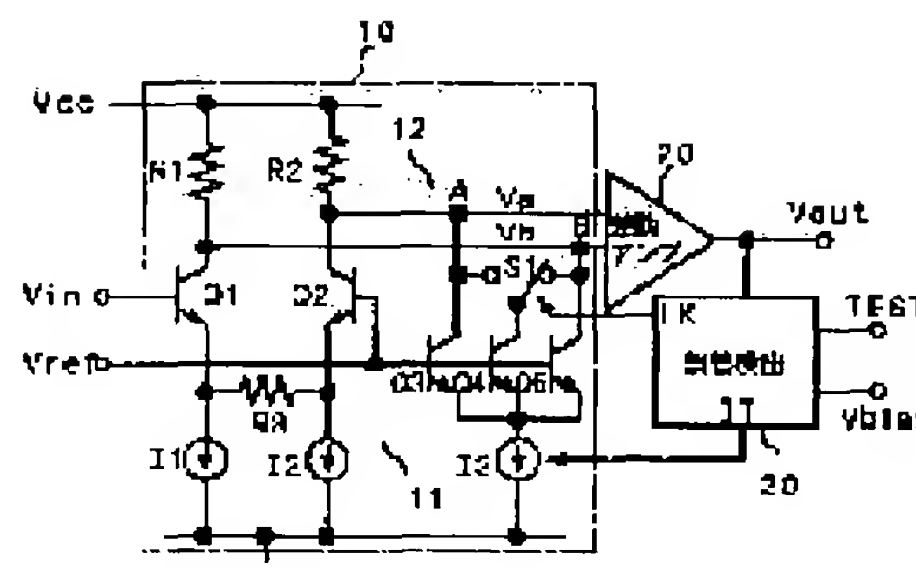
(22)Date of filing : 24.02.1998 (72)Inventor : FUJII NOBUYUKI

(54) MAGNETIC DISK DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a correctable offset correction circuit so that a desired output waveform can be obtained even when an input offset voltage to a differential amplifier circuit is largely deviated.

SOLUTION: This magnetic disk device is comprised of a rotary drive motor for driving to rotate a magnetic disk, a magnetic head for reading data from the magnetic disk, a head drive motor for positioning the magnetic head, a read-out circuit for amplifying a signal read by the magnetic head, a signal processing circuit for extracting necessary data and generates a servo signal for a head drive motor based on a signal from this read-out circuit, and a control circuit for controlling the rotary drive motor. In this case, the circuit to generate the servo signal for the head drive motor is provided with a differential amplifier circuit 20 for amplifying the read signal and an offset correction circuit 10 for detecting an error of an output signal of the differential amplifier circuit 20 with respect to a predetermined center potential and correcting the offset of the differential amplifier circuit 20 so that the error is eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-238330

(43)公開日 平成11年(1999) 8月31日

(51)Int.Cl.⁶

識別記号

F I

G 1 1 B 21/10

G 1 1 B 21/10

L

// G 1 1 B 7/09

7/09

A

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号 特願平10-41626

(22)出願日 平成10年(1998) 2月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 藤井 宜亨

東京都青梅市新町六丁目16番地の 3 株式

会社日立製作所デバイス開発センタ内

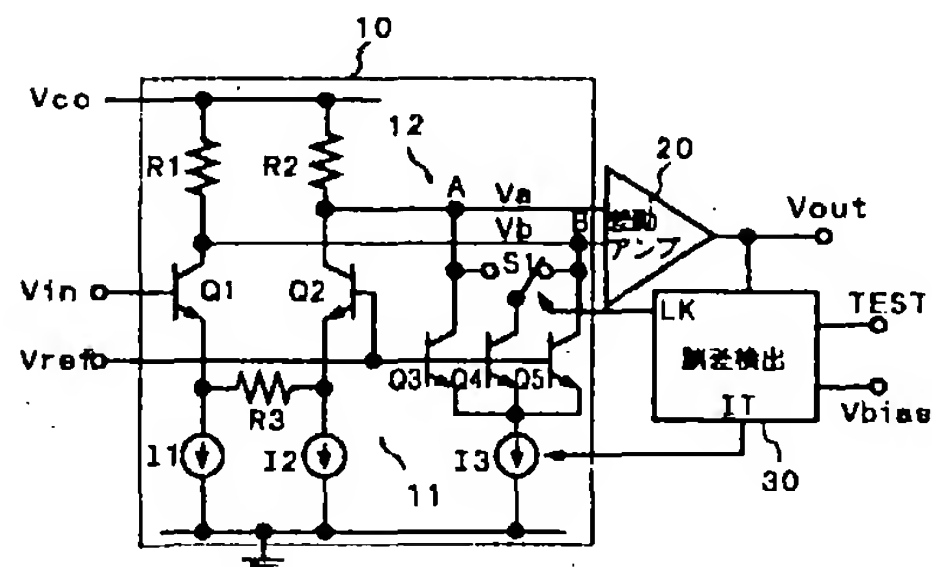
(74)代理人 弁理士 大日方 富雄

(54)【発明の名称】 磁気ディスク装置

(57)【要約】 (修正有)

【課題】 差動増幅回路の入力オフセット電圧が大きくなりすぎてしまった場合にも所望の出力波形が得られるように補正可能なオフセット補正回路を提供する。

【解決手段】 磁気ディスクを回転駆動する回転駆動モータと、磁気ディスクからデータを読取る磁気ヘッドと、該磁気ヘッドの位置決めを行うヘッド駆動モータと、磁気ヘッドにより読出されて信号を増幅する読出し回路と、該読出し回路からの信号に基づき必要なデータを抽出するとともにヘッド駆動モータのサーボ信号を生成する信号処理回路と、回転駆動モータを制御する制御回路とを備えた磁気ディスク装置において、ヘッド駆動モータのサーボ信号を生成する回路には、読出し信号を増幅する差動増幅回路 20 と、該差動増幅回路の出力信号と所定の中心電位との誤差を検出して該誤差がなくなるように差動増幅回路のオフセットを補正するオフセット補正回路 10 とを設ける。



【特許請求の範囲】

【請求項1】 磁気ディスクを回転駆動する回転駆動モータと、磁気ディスクに記憶されているデータを読み取る磁気ヘッドと、該磁気ヘッドの位置決めを行なうヘッド駆動モータと、上記磁気ヘッドにより読み取られた信号を増幅する読出し回路と、該読出し回路からの読出し信号に基づいて必要なデータを抽出するとともに上記ヘッド駆動モータのサーボ信号を生成する信号処理回路と、上記回転駆動モータを制御する制御回路とを備えた磁気ディスク装置において、上記ヘッド駆動モータのサーボ信号を生成する回路には、上記読出し信号を増幅する差動増幅回路と、該差動増幅回路の出力信号と所定の中心電位との誤差を検出して該誤差がなくなるように上記差動増幅回路のオフセットを補正するオフセット補正回路とを設けたことを特徴とする磁気ディスク装置。

【請求項2】 上記オフセット補正回路は、対をなす所定のノードより電流を引き抜く電流引き抜き手段と、上記対をなすノードのいずれか一方より選択的に電流を引き抜くための電流経路切換え手段とを備え、該電流経路切換え手段は、上記差動増幅回路の出力信号と該出力信号の設計中心電位との誤差の正負に応じて制御されるように構成されていることを特徴とする請求項1に記載の磁気ディスク装置。

【請求項3】 上記電流引き抜き手段は、引き抜き電流を与える電流源を有し、該電流源に流れる電流は、上記差動増幅回路の出力信号と該出力信号の設計中心電位との誤差の大きさに応じて制御されるように構成されていることを特徴とする請求項2に記載の磁気ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路技術さらには差動増幅回路のオフセット補正技術に関し、例えば磁気ディスク型記憶装置における磁気ヘッド駆動モータのサーボ信号生成回路の差動増幅回路に利用して有効な技術に関する。

【0002】

【従来の技術】 差動増幅回路は、対をなす素子のアンバランスにより入力オフセット電圧が生じる。入力オフセット電圧があると、交流入力信号を増幅したときに出力信号波形の中心電位が所望の電位からずれてしまう。また、磁気ディスク型記憶装置においては、データ読出し信号を増幅するのに差動増幅回路（リードアンプ）が使用され、このリードアンプの出力信号に基づいて磁気ヘッドの位置決め制御を行なっている。そのため、リードアンプを構成する差動増幅回路にオフセットがあると正確なヘッドの位置決めが行なえないという不具合がある。

【0003】 差動増幅回路（以下、差動アンプと称する）のオフセット補正回路として、例えば図2のように、差動アンプ20の前段にオフセット補正回路10を

設ける方式が考えられる。図2の回路は、差動アンプ20に故意にオフセット（以下、プリオフセット）を持たせておくとともに、このプリオフセットに見合う分だけ本来の入力信号をずらして入力させることにより出力信号の中心電位が目標とする電位となるようにする。そして、差動アンプ20のプリオフセット量がプロセスのばらつきでずれた場合には、オフセット補正回路10に流す電流I3を増減させることで、プリオフセット量が設計値よりも大きくなった場合にも小さくなった場合にもオフセット補正を行なうことができるようにしたものである。

【0004】 仮に、差動アンプ20にプリオフセットを与えておかないようにすると、入力オフセットが正になる場合と負になる場合とがあるため、いずれの場合にもオフセットを補正できるようにするにはオフセット補正回路が複雑になるという問題点がある。

【0005】

【発明が解決しようとする課題】 図2のオフセット補正回路10は、各々コレクタ端子と電源電圧Vccとの間に抵抗R1、R2が、またエミッタ端子には定電流源I1、I2が接続されるとともにエミッタ間が抵抗R3を介して互いに結合された一対のバイポーラ・トランジスタQ1、Q2と、これらのトランジスタQ1、Q2のコレクタ端子と可変電流源I3との間にそれぞれ接続された同一サイズのトランジスタQ3とQ4、Q5とからなり、上記トランジスタQ1、Q2のベースに入力信号Vinと基準電圧Vrefが入力されそれらのコレクタ電圧が差動アンプに供給されるように構成されたものであり、中心電位をわざと所定量Vs（以下、シフト量と称する）だけずらした図5（a）のような入力信号Va、Vbを入力したときに目標とする電位Vbiasを中心として変化する図5（b）のような出力波形Voutが得られるように設計される。なお、図5（b）において、破線V0Bは差動アンプの入力端子A、Bにオフセットのない信号（Vs=0）が入力されたときの差動アンプの出力波形の中心電位である。

【0006】 図2の回路は、オフセット補正回路内の素子（トランジスタや抵抗）のばらつきにより、端子A、Bの電位が図6（a）のようにシフト量Vsが大きくなる方向にずれたり、差動アンプのオフセットがずれてあたたかも図6（a）のように所望のVsよりも大きな電位差のある入力Va、Vbが入力しているように見えるときは、外部回路から可変電流源I3に供給される制御電圧を補正して可変電流源I3に流れる電流を減少させる。すると、抵抗R1にはトランジスタQ3のみが接続され、抵抗R2にはトランジスタQ4とQ5とが接続されているため、I3の減少により端子A、Bの電位Va、Vbは上昇するが、その上昇は図6（a）のようにΔVaよりもΔVbの方が大きい（ΔVb=2ΔVa）。その結果、図5（b）に示すような所望の出力波

形 V_{out} が得られる図 5 (a) の入力電圧波形に近づくこととなる。

【0007】一方、端子 A, B の電位が図 6 (b) のようにシフト量 V_s が小さくなる方向にずれたり、差動アンプのオフセットがずれてあたかも図 6 (b) のように所望の V_s よりも小さな電位差ある入力 V_a , V_b が入力しているように見えるときは、外部回路から供給される制御電圧を補正して可変電流源 I_3 に流れる電流を増加させる。すると、 I_3 の増加により端子 A, B の電位 V_a , V_b は降下するが、その降下量は図 6 (b) のように $-\Delta V_a$ よりも $-\Delta V_b$ の方が大きい。その結果、図 5 (b) に示すような所望の出力波形 V_{out} が得られる図 5 (a) の入力電圧波形に近づくこととなる。

【0008】しかしながら、図 2 に示すオフセット補正回路にあっては、もともとオフセットを持つように差動アンプを設計するため、差動アンプの入力範囲が広くなるように設計しなければならない。しかるに、近年半導体集積回路の動作電圧はますます小さくなってきているため、そのような入力範囲の広い差動アンプを設計するのが困難になってきている。しかも、差動アンプの入力オフセット電圧が大きくなって端子 A, B の電位 V_a , V_b を図 6 (c) のように $V_b > V_a$ となるように補正しないと所望の出力中心電位が得られないようになってしまった場合には、オフセット補正が困難であることが明らかとなった。

【0009】なお、単に図 6 (c) のようなオフセットの補正を可能にするだけならば、予め差動アンプのプリオフセットの値を大きくしておけば良いが、そのようにすると、もともとオフセットを持たせた差動アンプの入力範囲をさらに大きくするように設計しなければならず、限られた電源電圧の範囲内での回路設計が事実上不可能になってしまうという問題がある。

【0010】この発明の目的は、差動増幅回路の入力オフセット電圧が大きくずれてしまったような場合にも所望の出力波形が得られるように補正可能なオフセット補正回路を提供することにある。

【0011】この発明の他の目的は、磁気ディスク装置における読出し信号から磁気ヘッド駆動モータのサーボ信号を形成する差動増幅回路が入力オフセットを有していても磁気ヘッドの正確な位置決めが可能なオフセット補正回路を提供することにある。

【0012】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0014】すなわち、磁気ディスクを回転駆動する回転駆動モータと、磁気ディスクに記憶されているデータ

を読み取る磁気ヘッドと、該磁気ヘッドの位置決めを行なうヘッド駆動モータと、上記磁気ヘッドにより読み取られた信号を増幅する読出し回路と、該読出し回路からの読出し信号に基づいて必要なデータを抽出するとともに上記ヘッド駆動モータのサーボ信号を生成する信号処理回路と、上記回転駆動モータを制御する制御回路とを備えた磁気ディスク装置において、上記ヘッド駆動モータのサーボ信号を生成する回路には、上記読出し信号を増幅する差動増幅回路と、該差動増幅回路の出力信号と所定の中心電位との誤差を検出して該誤差がなくなるように上記差動増幅回路のオフセットを補正するオフセット補正回路とを設けたものである。

【0015】上記した手段によれば、差動増幅回路の入力オフセット電圧が大きくずれてしまったような場合にも所望の出力波形が得られるようにオフセットが自動的に補正されるようになり、これによってこの差動増幅回路を磁気ディスク装置における読出し信号から磁気ヘッド駆動モータのサーボ信号を形成する回路に使用した場合に、差動増幅回路が入力オフセットを有していても磁気ヘッドの正確な位置決めが可能となる。

【0016】また、上記オフセット補正回路は、対をなす所定のノードより電流を引き抜く電流引抜き手段と、上記対をなすノードのいずれか一方より選択的に電流を引き抜くための電流経路切換え手段とを備え、該電流経路切換え手段は、上記差動増幅回路の出力信号と該出力信号の設計中心電位との誤差の正負に応じて制御されるように構成する。これによって、差動増幅回路の設計が容易となる。

【0017】さらに、上記電流引抜き手段は、引抜き電流を与える電流源を有し、該電流源に流れる電流は、上記差動増幅回路の出力信号と該出力信号の設計中心電位との誤差の大きさに応じて制御されるように構成する。これにより、精度の高いオフセットの補正が可能となり、磁気ディスク装置における磁気ヘッドの位置決めを一層正確に行なうことができる。

【0018】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0019】図 1 は、本発明に係るオフセット補正回路を備えた差動増幅回路の一実施例を示す。この実施例の差動増幅回路は、差動アンプ 20 と、この差動アンプ 20 の前段に設けられたオフセット補正回路 10 と、差動アンプ 20 の出力信号 V_{out} のずれを検出する誤差検出回路 30 とにより構成されている。

【0020】また、上記オフセット補正回路 10 は、各々コレクタ端子と電源電圧 V_{cc} との間に抵抗 R_1 , R_2 が、またエミッタ端子には定電流源 I_1 , I_2 が接続されるとともにエミッタ間が抵抗 R_3 を介して互いに結合された一対のバイポーラ・トランジスタ Q_1 , Q_2 とからなる g_m アンプ 11 と、トランジスタ Q_1 , Q_2 の

コレクタ端子から引き抜く電流を与える可変電流源I3および該可変電流源I3と上記トランジスタQ1, Q2のコレクタ端子との間にそれぞれ接続または接続可能にされた同一サイズの電流引き抜き用トランジスタQ3, Q4, Q5から引き抜き電流制御回路12とによって構成されている。トランジスタQ1のベースには入力信号Vinが入力され、Q2のベースにはVinの中心電位が基準電圧Vrefとして印加され、VinとVrefの差に応じた電圧が次段の差動アンプ20に供給される。トランジスタQ3, Q4, Q5はそのベースに上記基準電圧Vrefが印加されることで定電流素子と機能する。

【0021】この実施例のオフセット補正回路10が図2に示されている回路と異なる点は、トランジスタQ1, Q2のコレクタ端子と可変電流源I3との間にそれぞれ接続されたトランジスタQ3, Q4, Q5のうちQ4は切換えスイッチS1によりそのコレクタ端子がトランジスタQ1, Q2のコレクタ端子と差動アンプ20の入力端子との接続ノードA, Bのいずれにも接続可能に構成されている点と、入力信号Vinの中心電位が基準電圧Vrefと一致するようにしてVinを入力する点である。

【0022】さらに、上記切換えスイッチS1は上記誤差検出回路30から出力される誤差の正負に応じた信号LKによって制御されるように構成されている。また、上記可変電流源I3に流れる電流も上記誤差検出回路30から出力される誤差の大きさ（絶対値）に応じた信号ITによって制御されるように構成されている。上記誤差検出回路30には、設計中心に相当する電圧Vbiasが入力されており、差動アンプ20の出力Voutと設計中心電圧Vbiasとを比較して、切換えスイッチS1に対する制御信号LKと、可変電流源I3に対する制御信号ITとを出力する。なお、特に制限されないが、この実施例の誤差検出回路30は外部から入力される制御信号TESTが所定のレベルにされたときにのみ動作するように構成されている。

【0023】次に、図1の実施例回路の作用を説明する。

【0024】この実施例の回路において、差動アンプ20のオフセット補正を行なうにはまず回路をアクティブにする制御信号TESTと設計中心電圧Vbiasを誤差検出回路30に入力する。オフセット補正回路2の定電流源I1, I2に流れる電流を等しくしたとき、出力Voutの中心電位をVc、この中心電位Vcと設計中心電位Vbiasとの差Vc-VbiasをΔVとすると、Vc>Vbias (ΔV>0) のときは誤差検出回路30より切換えスイッチS1をノードA側へ接続させるような制御信号LKが出力されるとともに、|ΔV|の大きさに応じた制御信号ITが定電流源I3に供給される。

【0025】抵抗R1, R2の抵抗値を等しくr0、定電流源I3に流れる電流をi3とすると、切換えスイッ

チS1がノードA側に接続されている状態ではトランジスタQ4がノードAに接続されるため、ノードA, Bの電位Va, Vbはそれぞれ

$$V_a = V_{cc} - r_0 (2 \cdot i_3 / 3 + i_0)$$

$$V_b = V_{cc} - r_0 (1 \cdot i_3 / 3 + i_0)$$

で表される。

【0026】上式より、定電流源I3に流れる電流i3をΔiだけ増加させると、ノードAの電位Vaは2Δi・r0/3だけ下がり、ノードBの電位VbはΔi・r0/3だけ下がるので、ノードBの電位がノードAの電位に対して相対的にΔi・r0/3だけ上がる。その結果、差動アンプ20の出力Voutは定電流源I3の電流を増加させる前に比べて低くなる。従って、差動アンプ20の出力Voutの中心電位Vcが設計中心電位Vbiasよりも高い場合には、切換えスイッチS1をノードA側に接続させた状態で定電流源I3に流れる電流をΔVに応じて増加させれば良いことが分かる。

【0027】一方、切換えスイッチS1がノードB側に接続されている状態ではトランジスタQ4がノードBに接続されるため、ノードA, Bの電位Va, Vbはそれぞれ

$$V_a = V_{cc} - r_0 (1 \cdot i_3 / 3 + i_0)$$

$$V_b = V_{cc} - r_0 (2 \cdot i_3 / 3 + i_0)$$

で表される。

【0028】上式より、定電流源I3に流れる電流i3をΔiだけ増加させると、ノードAの電位VaはΔi・r0/3だけ下がり、ノードBの電位Vbは2Δi・r0/3だけ下がるので、ノードAの電位がノードBの電位に対して相対的にΔi・r0/3だけ上がる。その結果、差動アンプ20の出力Voutは定電流源I3の電流を増加させる前に比べて高くなる。従って、差動アンプ20の出力Voutの中心電位Vcが設計中心電位Vbiasよりも低い場合には、切換えスイッチS1をノードB側に接続させた状態で定電流源I3に流れる電流をΔVに応じて増加させれば良いことが分かる。

【0029】本実施例においては、誤差検出回路30から上記のように出力Voutの中心電位Vcと設計中心電位Vbiasの差の正負に応じた制御信号LKが切換えスイッチS1に、またVcとVbiasの差の大きさに応じた制御信号ITが定電流源I3に供給されるように構成されている。なお、制御信号を定電流源I3に供給する代わりに、誤差検出回路30内に、差動アンプ20の出力Voutの中心電位Vcと設計中心電位Vbiasの差に応じた電流が流れる電流源を設け、この電流源と上記オフセット補正回路10の定電流源I3とがカレントミラー回路を構成するようにして電流を制御するようにしても良い。

【0030】図3および図4に、上記誤差検出回路30の具体例をそれぞれ示す。

【0031】図3の誤差検出回路は、差動アンプ20の

出力 V_{out} と設計中心電位 V_{bias} とを比較する比較回路31と、差動アンプ20の出力 V_{out} と設計中心電位 V_{bias} との電位差を検出して電位差の絶対値 $|\Delta V|$ に応じた電圧を出力する誤差アンプ32と、該誤差アンプ32の出力と許容オフセット δ に応じた電圧 V_{δ} とを比較する比較回路33と、外部からの動作許可信号 $TEST$ によって動作するクロック発生回路34と、該クロック発生回路34より出力されるクロック信号によって上記比較回路31の出力をラッチするラッチ回路35と、上記比較回路33の出力をイネーブル信号として上記クロック発生回路34より出力されるクロック信号によって計数動作するカウンタ回路36と、該カウンタ回路36の出力をDA変換するDA変換回路37とにより構成されている。

【0032】図3の誤差検出回路は、動作許可信号 $TEST$ が動作許可を示すレベルにされるとクロック発生回路34がクロック信号を発生し、このクロック信号によってそのときの比較回路31の出力(V_{out} が V_{bias} よりも高いか低いかを示す信号)をラッチ回路35がラッチする。これによって、差動アンプ20の出力 V_{out} が設計中心電位 V_{bias} よりも高いと例えばハイレベルの制御信号 LK が出力される。その結果、オフセット補正回路10の切換えスイッチ $S1$ がトランジスタ $Q4$ をノードA側に接続させるように制御される。また、差動アンプ20の出力 V_{out} が設計中心電位 V_{bias} よりも低いとロウレベルの制御信号 LK が出力される。その結果、オフセット補正回路10の切換えスイッチ $S1$ がトランジスタ $Q4$ をノードB側に接続させるように制御される。

【0033】一方、差動アンプ20の出力 V_{out} と設計中心電位 V_{bias} の電位差 $|\Delta V|$ を検出する誤差アンプ32の出力は比較回路33で許容オフセット電圧 V_{δ} と比較され、電位差 $|\Delta V|$ が許容オフセット電圧 V_{δ} よりも大きいときは比較回路33から例えばハイレベルの信号が出力される。この信号によってカウンタ回路36が計数可能状態にされるため、クロック発生回路34で発生されたクロック信号がカウンタ回路36に供給され度に、カウンタ回路36の計数値がインクリメント(+1)される。すると、カウンタ回路36の出力がDA変換回路37によりDA変換されその出力が制御信号としてオフセット補正回路10の可変電流源 $I3$ に供給され、その値に応じて電流が増加される。これによって、差動アンプ20の出力 V_{out} は設計中心電位 V_{bias} に近づく。

【0034】上記動作を繰り返すことにより、差動アンプ20の出力 V_{out} が設計中心電位 V_{bias} に近づき、電位差 $|\Delta V|$ が許容オフセット電圧 V_{δ} よりも小さくなると、比較回路33の出力がロウレベルに変化する。これによって、カウンタ回路36が計数不能な状態にされるため、それ以降計数値は変化しなくなり、DA変換

回路37の出力は一定に保持される。その後、動作許可信号 $TEST$ が不許可を示すレベルに変化されると、クロック発生回路34の動作が停止され、ラッチ回路35およびカウンタ回路36が動作を停止する。ただし、DA変換回路37の出力は最後の状態のまま保持される。従って、動作許可信号 $TEST$ をシステムの立ち上がり許可状態を示すレベルにしてDA変換回路37の出力は一定になってから、動作許可信号 $TEST$ をもとに戻すことにより、オフセット補正回路10によるオフセット補正を終了させることができる。

【0035】図4の誤差検出回路は、図3の誤差検出回路における差動アンプ出力 V_{out} と設計中心電位 V_{bias} との電位差 $|\Delta V|$ と許容オフセット電圧 V_{δ} とを比較する比較回路33の代わりにデジタルコンパレータ38を用いるようにしたもので、これに応じて図1における誤差アンプ32の代わりに出力 V_{out} と設計中心電位 V_{bias} との電位差をデジタル値に変換して出力するAD変換回路39を設けてある。また、この実施例では、クロック信号が不要であるため、動作許可信号 $TEST$ がAD変換回路39と比較回路31に入力されているとともに、デジタルコンパレータ38の比較出力がAD変換回路39に動作許可信号 EN として供給されるように構成されている。具体的には、差動アンプ出力 V_{out} と設計中心電位 V_{bias} との電位差 $|\Delta V|$ が許容オフセット δ よりも大きい間は、 EN はAD変換回路39の動作許可を示すロウレベルにされ、電位差 $|\Delta V|$ が許容オフセット δ よりも小さくなると、 EN はAD変換回路39の動作を不許可するハイレベルにされる。ここで、デジタルコンパレータ38へは、許容オフセット δ がデジタル値で与えられる。

【0036】次に、本発明に係るオフセット補正回路を備えた差動アンプを使用して好適なシステムの一例を説明する。図7はハードディスク装置の概略構成、図8はハードディスク装置を構成する信号処理回路(LSI)の構成を示すもので、本発明に係るオフセット補正回路を備えた差動アンプは、図8におけるサーボ信号生成回路の部分に使用される。

【0037】図7のハードディスク装置の構成を簡単に説明すると、50は磁気ディスク、51は磁気ディスクを回転させるスピンドルモータ、52は磁気ディスク50に対するデータの書込み、読取りを行なう磁気ヘッド、53は磁気ヘッド52の位置決め用のボイスコイルモータ、54は磁気ヘッド52に書込み電流を流すライトアンプや磁気ヘッド52により読み取られた信号を増幅するためのリードアンプを有するリード・ライトIC、55はライトデータにID情報を付加して書込み信号を形成したり読出し信号からデータを抽出したりする信号処理用LSI、56はボイスコイルモータ53を駆動するドライバ、57はスピンドルモータ51を駆動するドライバ、58はマイクロプロセッサ等に代わってハ

ードディスク装置全体を制御するハードディスク・コントローラである。図7の実施例では、ハードディスク・コントローラ58がスピンドルモータ51を制御するように構成されているが、ハードディスク・コントローラ58とは別個にスピンドルモータ51を制御する回路を設けても良い。

【0038】上記信号処理用LSI55にはリード系の回路とライト系の回路が設けられており、このうちリード系の回路は、図8に示すように、読出し信号 R_{inx} , R_{iny} を増幅するオートゲインアンプ(AGC)501と、読出し信号 R_{inx} , R_{iny} から高周波のノイズ成分を除去するローパスフィルタ502と、読出し信号のデータ部の信号をデジタル信号に変換するAD変換回路503と、ヘッド位置決め用のサーボ信号を生成するサーボ信号生成回路504などから構成されている。そして、このサーボ信号生成回路504は、読出し信号 R_{inx} , R_{iny} を全波整流する全波整流回路541、本発明に係るオフセット補正回路10を備えた差動アンプ20などから構成される。

【0039】読出し信号 R_{inx} , R_{iny} からヘッド位置決め用のサーボ信号を生成するサーボ信号生成回路504の差動アンプとして本発明に係るオフセット補正回路を備えた差動アンプを適用することにより、差動アンプがオフセットを有することにより磁気ヘッドが磁気ディスク面のトラックの中心からずれているように見えてしまうのを防止して、精度の高い磁気ヘッドの位置決め制御が可能となるという利点がある。

【0040】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例においては、差動アンプ20がプリオフセットを有しないように設計されているが、図2の回路と同様に中心電位をわざと所定量 V_s だけずらした図5(a)のような入力信号 V_a , V_b を入力したときに目標とする電位 V_c を中心として変化する図5(b)のような出力波形 V_{out} が得られるように差動アンプを設計しても良い。この場合、通常はトランジスタQ4がQ5と同じ側に接続されるように切換えスイッチS1を制御し、差動アンプ20の入力オフセット電圧が大きくなって端子A, Bの電位 V_a , V_b を図6(c)のように $V_b > V_a$ となるように補正しないと所望の出力中心電位が得られないようになってしまった場合にのみトランジスタQ4をQ3と同じ側に接続させるように制御すれば良い。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるハードディスク装置を構成する信号処理回路(LSI)内のサーボ信号生成回路を構成する差動アンプに適用したものについて説明したが、この発明はそれに限定されるもの

でなく、差動増幅回路におけるオフセットの補正に広く利用することができる。また、ハードディスク装置のみならずフロッピーディスク装置やコンパクトディスク装置などのサーボ信号生成回路にも利用することができる。

【0042】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0043】すなわち、差動増幅回路の入力オフセット電圧が大きくなりすぎてしまったような場合にも所望の出力波形が得られるようにオフセットが自動的に補正されるようになり、これによってこの差動増幅回路を磁気ディスク装置における磁気ヘッド駆動モータのサーボ信号を形成する回路に使用した場合に、差動増幅回路が入力オフセットを有していても磁気ヘッドの正確な位置決めが可能となる。

【図面の簡単な説明】

【図1】本発明に係るオフセット補正回路を備えた差動増幅回路の一実施例を示す回路図である。

【図2】本発明に先立って検討したオフセット補正回路を備えた差動増幅回路の一例を示す回路図である。

【図3】誤差検出回路の具体例を示す回路図である。

【図4】誤差検出回路の他の具体例を示す回路図である。

【図5】図2のオフセット補正回路を備えた差動増幅回路の差動アンプの入力信号波形と出力信号波形を示す波形図である。

【図6】図2のオフセット補正回路を備えた差動増幅回路におけるオフセット補正回路や差動アンプのオフセットによる入力信号波形のずれを示す波形図である。

【図7】本発明に係るオフセット補正回路を備えた差動アンプを使用して好適なシステムの一例としてのハードディスク装置の概略構成を示すブロック図である。

【図8】ハードディスク装置を構成する信号処理回路(LSI)のリード系の回路の構成例を示すブロック図である。

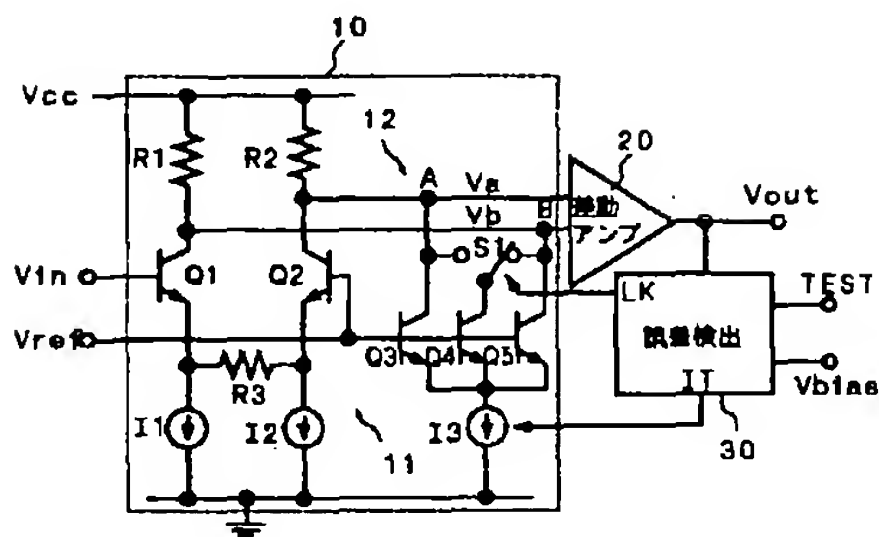
【符号の説明】

- 10 オフセット補正回路
- 20 差動アンプ
- 30 誤差検出回路
- 31 比較回路
- 32 誤差アンプ
- 33 比較回路
- 34 クロック発生回路
- 35 ラッチ回路
- 36 カウンタ回路
- 37 DA変換回路
- 38 デジタルコンパレータ
- 39 AD変換回路

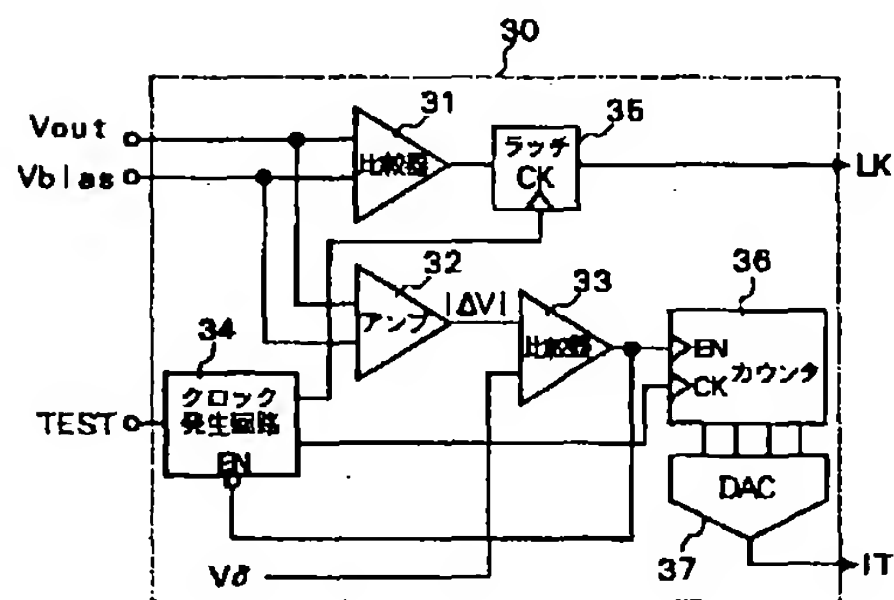
11

- 50 磁気ディスク
- 51 スピンドルモータ
- 52 磁気ヘッド
- 53 ボイスコイルモータ
- 54 リード・ライトIC
- 55 信号処理LSI
- 56 モータドライバ

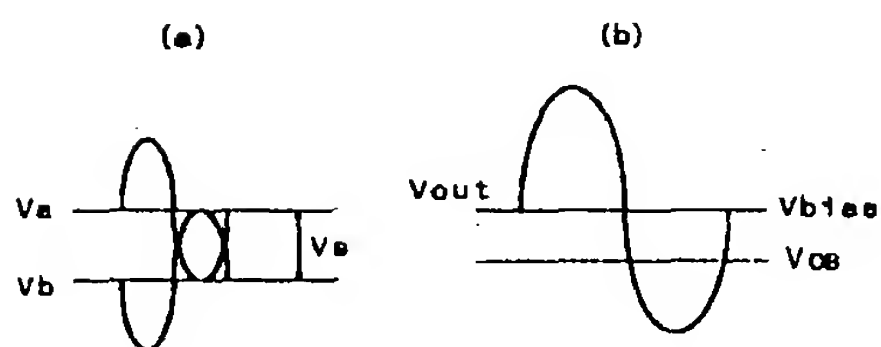
【図1】



【図3】



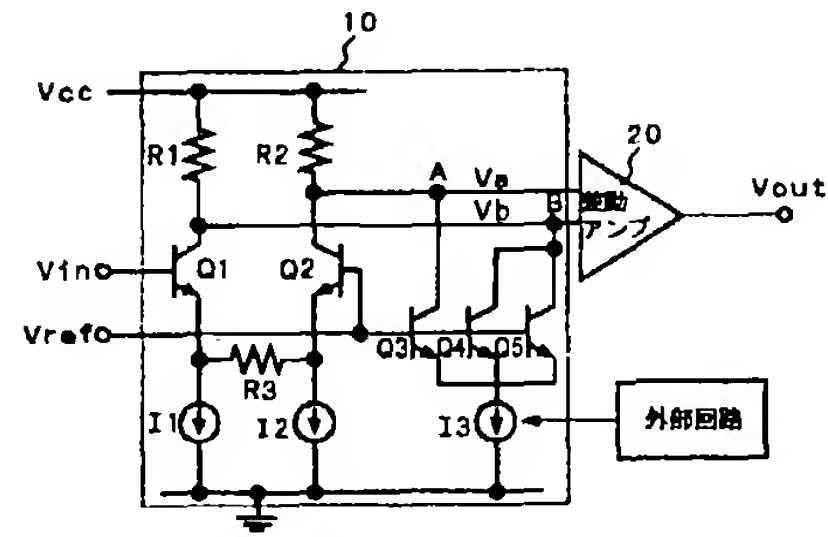
【図5】



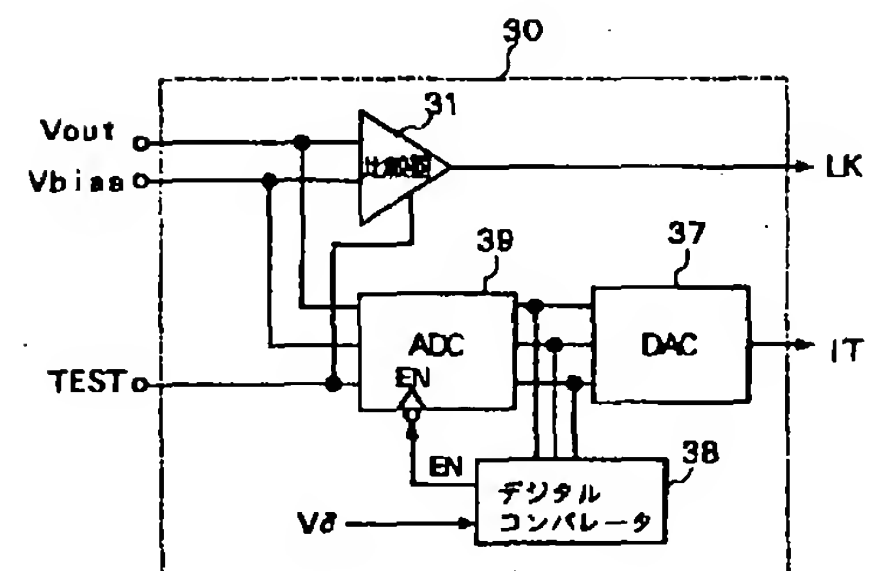
12

- 57 モータドライバ
- 58 ハードディスクコントローラ
- 501 オートゲインアンプ
- 502 ローパスフィルタ
- 503 AD変換回路
- 504 サーボ信号生成回路
- 541 全波整流回路

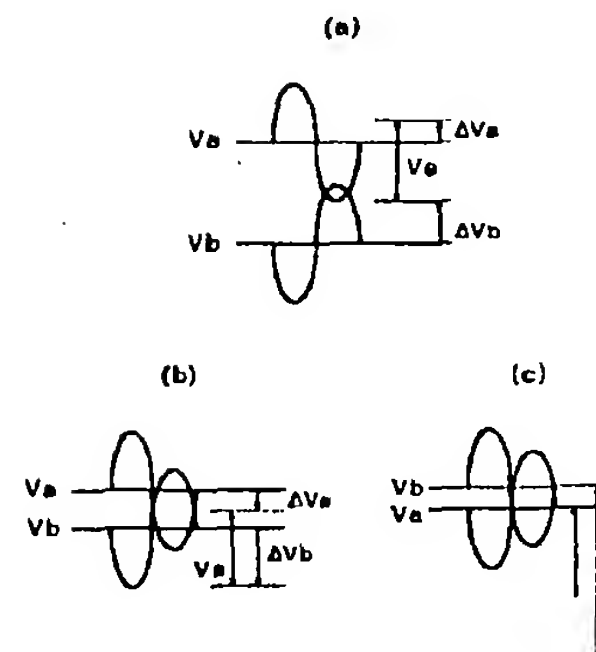
【図2】



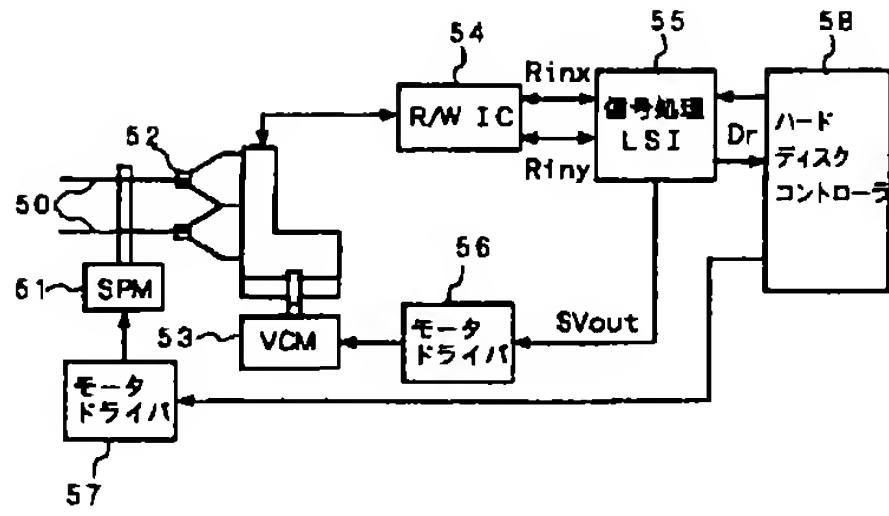
【図4】



【図6】



【図7】



【図8】

